

503P1121 W000

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-297260

(P 2 0 0 2 - 2 9 7 2 6 0 A)

(43) 公開日 平成14年10月11日 (2002. 10. 11)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト (参考)
G06F 1/08		G06F 15/78 510	P 5B011
1/32		H03K 17/16	L 5B062
1/10		G06F 1/04 320	A 5B079
15/78	510	1/00 332	Z 5J055
H03K 17/16		1/04 330	Z 5J056
審査請求 未請求 請求項の数13 O L (全17頁) 最終頁に続く			

(21) 出願番号 特願2001-99498 (P 2001-99498)

(22) 出願日 平成13年3月30日 (2001. 3. 30)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 井上 源一郎

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100086737

弁理士 岡田 和秀

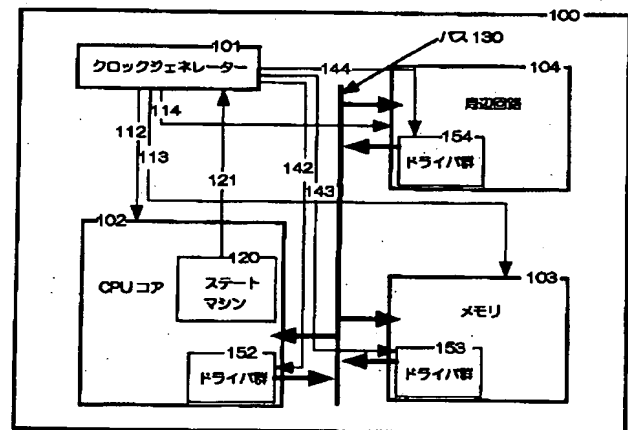
最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 高い動作周波数に合わせて回路チューニングするために低い動作周波数で使用するときに必要以上に消費電力を消費する欠点を解消する。

【解決手段】 クロックジェネレータ101からクロック信号線112~114に出力される周波数を速い周波数と遅い周波数とに切替えると同時に、周波数信号線142~144にも速い動作周波数か遅い動作周波数かを知らせる信号を出力する。CPU102、メモリ103、周辺回路104に含まれるドライバ群152~154は、それぞれ周波数信号線142~144の信号を受け取り、速い動作周波数であれば、大きいドライブ能力、大きい消費電力の第一のドライブ能力で動作し、遅い動作周波数であれば、小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作する能力可変ドライバである。結果として、動作周波数を低くした場合に、動作周波数に比例する以上に消費電力を削減できる。



## 【特許請求の範囲】

【請求項1】 クロック周波数の段階に対応した周波数信号を出力するクロックジェネレータと、前記周波数信号に応じてドライブ能力を変更可能な能力可変ドライバとを備えていることを特徴とする半導体集積回路。

【請求項2】 請求項1記載の半導体集積回路において、前記クロックジェネレータは、複数のクロック信号と、前記複数のクロック信号の周波数の段階に対応した複数の周波数信号とを出力することを特徴とする半導体集積回路。

【請求項3】 請求項1または2記載の半導体集積回路において、前記能力可変ドライバは、少なくとも、ドライブ能力と消費電力の双方が共に大きな第一のドライブ能力と、前記ドライブ能力と前記消費電力の双方が共に小さな第二のドライブ能力とを有していることを特徴とする半導体集積回路。

【請求項4】 請求項1または2または3記載の半導体集積回路において、前記クロックジェネレータは、少なくとも、速い周波数を示す第一の周波数信号と、遅い周波数を示す第二の周波数信号とを出力するように構成されていることを特徴とする半導体集積回路。

【請求項5】 請求項4記載の半導体集積回路において、前記クロックジェネレータが前記第一の周波数信号を出力しているとき、前記能力可変ドライバが前記第一のドライブ能力を使用し、前記クロックジェネレータが前記第二の周波数信号を出力しているとき、前記能力可変ドライバが前記第二のドライブ能力を使用するように構成されていることを特徴とする半導体集積回路。

【請求項6】 複数の電源電位を出力し、前記複数の電源電位に対応する電源電位信号を出力する電源電位設定回路と、前記電源電位信号に応じてドライブ能力を変更可能な能力可変ドライバとを備えていることを特徴とする半導体集積回路。

【請求項7】 請求項6記載の半導体集積回路において、前記能力可変ドライバは、少なくとも、ドライブ能力と消費電力の双方が共に大きな第一のドライブ能力と、前記ドライブ能力と前記消費電力の双方が共に小さな第二のドライブ能力とを有していることを特徴とする半導体集積回路。

【請求項8】 請求項6または7記載の半導体集積回路において、前記電源電位設定回路は、少なくとも、高い電位を示す第一の電源電位信号と、低い電位を示す第二の電源電位信号とを出力するように構成されていることを特徴とする半導体集積回路。

【請求項9】 請求項8記載の半導体集積回路において、前記電源電位設定回路が前記第一の電源電位信号を出力しているとき、前記能力可変ドライバは前記第二のドライブ能力を使用し、前記電源電位設定回路が第二の電源電位信号を出力しているとき、前記能力可変ドライバは前記第一のドライブ能力を使用するように構成され

ていることを特徴とする半導体集積回路。

【請求項10】 電源電位に対応した電源電位信号を出力する電源電位測定回路と、前記電源電位信号に応じてドライブ能力を変更可能な能力可変ドライバとを備えていることを特徴とする半導体集積回路。

【請求項11】 請求項10記載の半導体集積回路において、前記能力可変ドライバは、少なくとも、ドライブ能力と消費電力の双方が共に大きな第一のドライブ能力と、前記ドライブ能力と前記消費電力の双方が共に小さな第二のドライブ能力とを有していることを特徴とする半導体集積回路。

【請求項12】 請求項10または11記載の半導体集積回路において、前記電源電位測定回路は、少なくとも、高い電位を示す第一の電源電位信号と、低い電位を示す第二の電源電位信号とを出力するように構成されていることを特徴とする半導体集積回路。

【請求項13】 請求項12記載の半導体集積回路において、前記電源電位測定回路が前記第一の電源電位信号を出力しているとき、前記能力可変ドライバは前記第二のドライブ能力を使用し、前記電源電位測定回路が前記第二の電源電位信号を出力しているとき、前記能力可変ドライバは前記第一のドライブ能力を使用するように構成されていることを特徴とする半導体集積回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、可変のクロック周波数、可変の電源電圧で動作する半導体集積回路に関するものである。

【0002】

【従来の技術】 近年、半導体産業の技術革新にはめざましいものがあり、より高速動作化、より高集積化が実現されて、システムの大部分もしくはシステム全体が半導体集積回路で実現できるという状況になってきている。

【0003】 これによって、様々な機器が軽量化、低消費電力化されて、様々なモバイル製品が商品化できるようになっている。

【0004】 このようなモバイル製品において、より低消費電力化、より高機能化を図っていこうとすると、半導体集積回路自身も、より低消費電力化、より高い処理能力化を実現する必要がある。

【0005】 半導体集積回路において、低消費電力化と高い処理能力化との間には、互いに相反する要素もあるため、両立させるためのいくつかのアイデアが提案されてきているが、その中の一つの方法として、使用する条件に応じて動作モードを低消費電力モードと高い処理能力モードとに切替えて半導体集積回路を動作させるということが行なわれている。

【0006】 この動作モードの切替えを実現する方法として、従来では、半導体集積回路内のブロックもしくは半導体集積回路全体に供給するクロック周波数を高速動

作用の高い周波数と低速動作の低い周波数とに切替えられるようにして、高い処理能力が必要な場合には高速動作に切替えて使用し、処理能力があまり必要でない場合には低速動作に切替えて使用するというもの（従来例 1）や、半導体集積回路内のブロックもしくは半導体集積回路全体に供給する電源電圧を高速動作の低い電位と低速動作の低い電位とに切替えられるようにして、高い処理能力が必要な場合には高速動作に切替えて使用し、処理能力があまり必要でない場合には低速動作に切替えて使用するというもの（従来例 2）があった。

【0007】以下、図面を参照しながら、上記した従来のクロック周波数を切替えることができる半導体集積回路の一例について説明する。（従来例 1）図 6 は従来のクロック周波数を切替えることができる半導体集積回路の構成図である。

【0008】図 6 において、1005 は動作モードに対応した動作モード信号 1015 を出力する動作モード信号生成装置である。1001 はクロック信号を出力するクロックジェネレータであって、クロックジェネレータ 1001 は、動作モード信号 1015 に応じて、高い周波数と低い周波数の 2 種類の周波数を、クロック信号 1012～1014 にそれぞれ出力することができる。1002～1004 はクロックジェネレータ 1001 から出力されたクロック信号 1012～1014 に同期して動作するブロック A、B、C である。

【0009】以上のように構成された半導体集積回路について、以下、その動作について説明する。

【0010】動作モード信号生成装置 1005 は、この半導体集積回路が高い処理能力を必要としない場合は、クロック信号 1012～1014 を低い周波数に設定する動作モード信号 1015 をクロックジェネレータ 1001 に出力し、ブロック A、B、C 1002～1004 は低い動作周波数で動作する。このため、ブロック A、B、C 1002～1004 の消費電力は少なくてすむ。

【0011】ところが、例えばブロック A において、ある期間、高い処理能力を必要とする状態になったとき、動作モード信号生成装置 1005 は、ブロック A を高い周波数で動作させるという動作モード信号 1015 を、必要な期間、クロックジェネレータ 1001 に出力し、ブロック A 1002 は必要な期間だけ高い動作周波数で動作し、ブロック A は必要な処理能力を発揮する。

【0012】高い動作周波数で動作すれば、消費電力も増加するが、必要な期間だけしか高い動作周波数で動作させないため、最小限の消費電力ですませることができる。他のブロック B、C の動作も同様である。

【0013】このように、高い処理能力を必要とするブロックを必要とする期間だけ、高い周波数で動作させて必要な処理能力を発揮させることにより、必要最小限の消費電力で高い処理能力を実現することができる。

【0014】次に、図面を参照しながら、上記した従来

の電源電圧を切替えることができる半導体集積回路の一例について説明する。（従来例 2）図 7 は従来の電源電圧を切替えることができる半導体集積回路の構成図である。

【0015】図 7 において、1105 は動作モードに対応した動作モード信号 1115 を出力する動作モード信号生成装置である。1101 は電源電圧の電位を設定する電源電位設定回路であって、電源電位設定回路 1101 は、動作モード信号 1115 に応じて、高い電位と低い電位の 2 種類の電圧を、電源 1112～1114 にそれぞれ出力することができる。1102～1104 は電源電位設定回路 1101 から出力された電源 1112～1114 で動作するブロック A、B、C である。

【0016】以上のように構成された半導体集積回路について、以下、その動作について説明する。

【0017】動作モード信号生成装置 1105 は、この半導体集積回路が高い処理能力を必要としない場合は、電源 1112～1114 を低い電位に設定する動作モード信号 1115 を電源電位設定回路 1101 に出力し、ブロック A、B、C 1102～1104 は低い電源電圧で動作する。このため、ブロック A、B、C 1102～1104 の消費電力は少なくてすむ。

【0018】ところが、例えばブロック A 1102 において、ある期間、高い処理能力を必要とする状態になったとき、動作モード信号生成装置 1105 は、ブロック A を高い電位の電源で動作させるという動作モード信号 1115 を、必要な期間、電源電位設定回路 1101 に出力し、ブロック A 1102 は必要な期間だけ高い電源電圧で動作し、ブロック A は必要な処理能力を発揮する。

【0019】高い電源電圧で動作すれば、消費電力も増加するが、必要な期間だけしか高い電源電圧で動作させないため、最小限の消費電力ですませることができる。他のブロック B、C の動作も同様である。

【0020】このように、高い処理能力を必要とするブロックに必要とする期間だけ、高い電源電圧で動作させて必要な処理能力を発揮させることにより、必要最小限の消費電力で高い処理能力を実現することができる。

【0021】

【発明が解決しようとする課題】しかしながら、上記の従来例 1 のような構成では、各ブロック A、B、C は、そもそも高い動作周波数で動作させるというコンセプトのもとに設計されたものであり、高い動作周波数に合わせて回路チューニングする必要があるため、現にそのように構成してあるので、低い動作周波数で使用する時には必要以上に消費電力を消費してしまうという問題点を有していた。

【0022】本発明は、このような事情に鑑みて、動作周波数を低くした場合に、消費電力を動作周波数の低下割合以上に削減することができるようにすることを第 1

10

20

30

40

50

の目的としている。

【0023】また、上記の従来例2のような構成では、各ブロックA、B、Cは、低い電源電圧で動作させたとき、動作速度が劣化してしまうため、低い電源電圧では動作周波数が電源電圧に比例して低下してしまうという問題点を有していた。

【0024】本発明は、このような事情に鑑みて、電源電位が低くなることによる動作速度の低下を補償することができるようにすることを第2の目的としている。さらには、半導体集積回路に供給される電源電位が不明である場合にも有効に対応することができるようにすることを目的としている。

【0025】

【課題を解決するための手段】半導体集積回路についての本発明は、次のような手段を講じることにより、上記の課題を解決するものである。

【0026】本願第1の発明の半導体集積回路は、クロック周波数の段階に対応した周波数信号を出力するクロックジェネレータと、前記周波数信号に応じてドライブ能力を変更可能な能力可変ドライバとを備えている。

【0027】この第1の発明による作用は次のとおりである。すなわち、従来の技術のように能力可変ドライバがない場合には、クロックジェネレータが出力するクロック周波数の変更に伴って変化する消費電力の変化割合がクロック周波数の変化割合に比例的に見合ったものとなり、消費電力の削減に限界を伴うこととなっていたが、この第1の発明によると、能力可変ドライバを備えているので、クロックジェネレータが出力するクロック周波数の変更に伴って変化する消費電力の変化割合をクロック周波数の変化割合以上のものに増幅することが可能となり、従来の技術に見られた消費電力削減の限界を越えて、さらなる消費電力削減を実現することが可能となる。

【0028】したがって、この第1の発明の構成によれば、クロック周波数に応じて、必要最小限の消費電力で動作するようにドライブ能力を切替えることができるようになるため、動作周波数を低くした場合、消費電力を動作周波数の低下割合以上に削減することができる。

【0029】本願第2の発明の半導体集積回路は、上記第1の発明において、前記クロックジェネレータは、複数のクロック信号と、前記複数のクロック信号の周波数の段階に対応した複数の周波数信号とを出力するように構成されている。これは、クロックジェネレータが出力するクロック信号および周波数信号の種類数が2に限定されるものでないこと、すなわち、それらの種類数は2以上の複数であることを明示するものである。

【0030】本願第3の発明の半導体集積回路は、上記第1・第2の発明において、前記能力可変ドライバは、少なくとも、ドライブ能力と消費電力の双方が共に大きな第一のドライブ能力と、前記ドライブ能力と前記消費

電力の双方が共に小さな第二のドライブ能力とを有しているものとして構成されている。

【0031】すなわち、このような限定をしない他の発明にあっては、第一のドライブ能力としてドライブ能力が大きく消費電力が小なる能力であるとともに、第二のドライブ能力としてドライブ能力が小さく消費電力が大なる能力である場合も含み得るものであるが、この第3の発明は、能力可変ドライバがもつ少なくとも2状態の能力について、第一のドライブ能力はドライブ能力と消費電力の双方共に大なる能力であり、第二のドライブ能力はドライブ能力と消費電力の双方共に小なる能力であることを明示するものである。さらには、能力可変ドライバがもつ能力の種類数について、少なくとも2つであること、換言すれば、3以上の複数ある場合も含み得るということを明示するものである。

【0032】本発明の第4の半導体集積回路は、上記第1～第3の発明において、前記クロックジェネレータは、少なくとも、速い周波数を示す第一の周波数信号と、遅い周波数を示す第二の周波数信号とを出力するように構成されている。これは、能力可変ドライバが出力する周波数信号の種類数について、少なくとも2つであること、換言すれば、3以上の複数ある場合も含み得るということを明示するものである。

【0033】本願第5の発明の半導体集積回路は、上記第4の発明において、前記クロックジェネレータが前記第一の周波数信号を出力しているとき、前記能力可変ドライバが前記第一のドライブ能力を使用し、前記クロックジェネレータが前記第二の周波数信号を出力しているとき、前記能力可変ドライバが前記第二のドライブ能力を使用するように構成されている。

【0034】これは、クロックジェネレータが出力する周波数信号の種類数が速い周波数の第一の周波数信号と遅い周波数の第二の周波数信号との2種類であり、また、能力可変ドライバがもつ能力の種類数がドライブ能力と消費電力の双方共に大なる第一のドライブ能力と、ドライブ能力と消費電力の双方共に小なる第二のドライブ能力との2種類であり、さらには、周波数信号と能力可変ドライバの能力との対応関係について、速い周波数の第一の周波数信号にはドライブ能力と消費電力の双方共に大なる第一のドライブ能力が対応し、遅い周波数の第二の周波数信号にはドライブ能力と消費電力の双方共に小なる第二のドライブ能力が対応していることを明示するものである。

【0035】なお、この第5の発明を他の発明から観察するとき、第5の発明のような限定をしていない他の発明においては、第5の発明とは逆の関係の場合、すなわち、周波数信号と能力可変ドライバの能力との対応関係について、速い周波数の第一の周波数信号に対してドライブ能力と消費電力の双方共に小なる第二のドライブ能力が対応し、遅い周波数の第二の周波数信号に対してド

ライブ能力と消費電力の双方共に大なる第一のドライブ能力が対応している場合も含み得るということを示唆している。

【0036】本願第6の発明の半導体集積回路は、複数の電源電位を出力し、前記複数の電源電位に対応する電源電位信号を出力する電源電位設定回路と、前記電源電位信号に応じてドライブ能力を変更可能な能力可変ドライバとを備えている。

【0037】この第6の発明による作用は次のとおりである。すなわち、従来の技術のように能力可変ドライバがない場合には、電源電位設定回路が出力する電源電位の変更に伴って変化する動作周波数の変化割合が電源電位の変化割合に比例的に見合ったものとなり、動作周波数の確保に限界を伴うこととなっていたが、この第6の発明によると、能力可変ドライバを備えているので、電源電位設定回路が出力する電源電位の変更に伴って変化する動作周波数の変化割合を電源電位の変化割合以下のものに抑制することが可能となり、従来の技術に見られた動作周波数確保の限界を越えて、さらなる高い動作周波数確保を実現することが可能となる。

【0038】したがって、この第6の発明の構成によれば、電源電位に応じて所要の動作周波数で動作するようにドライブ能力を切替えることができるようになるため、電源電位を低くした場合、動作周波数を電源電位の低下割合以下に抑制することができる。すなわち、電源電位を低くした場合でも、動作速度を満たすようにドライブ能力の切替えで対応することができるため、電源電位を低くすることによる動作速度の低下を補償することができる。

【0039】本願第7の発明の半導体集積回路は、上記第6の発明において、前記能力可変ドライバは、少なくとも、ドライブ能力と消費電力の双方が共に大きな第一のドライブ能力と、前記ドライブ能力と前記消費電力の双方が共に小さな第二のドライブ能力とを有しているものとして構成されている。

【0040】すなわち、このような限定をしない他の発明にあっては、第一のドライブ能力としてドライブ能力が大で消費電力が小なる能力であるとともに、第二のドライブ能力としてドライブ能力が小で消費電力が大なる能力である場合も含み得るものであるが、この第7の発明は、能力可変ドライバがもつ少なくとも2状態の能力について、第一のドライブ能力はドライブ能力と消費電力の双方共に大なる能力であり、第二のドライブ能力はドライブ能力と消費電力の双方共に小なる能力であることを明示するものである。さらには、能力可変ドライバがもつ能力の種類数について、少なくとも2つであること、換言すれば、3以上の複数ある場合も含み得るということを示唆するものである。

【0041】本願第8の発明の半導体集積回路は、上記第6・第7の発明において、前記電源電位設定回路は、

少なくとも、高い電位を示す第一の電源電位信号と、低い電位を示す第二の電源電位信号とを出力するように構成されている。これは、電源電位設定回路が出力する電源電位信号の種類数について、少なくとも2つであること、換言すれば、3以上の複数ある場合も含み得るということを示唆するものである。

【0042】本願第9の発明の半導体集積回路は、上記第8の発明において、前記電源電位設定回路が前記第一の電源電位信号を出力しているとき、前記能力可変ドライバは前記第二のドライブ能力を使用し、前記電源電位設定回路が第二の電源電位信号を出力しているとき、前記能力可変ドライバは前記第一のドライブ能力を使用するように構成されている。

【0043】これは、電源電位設定回路が出力する電源電位信号の種類数が高い電位の第一の電源電位信号と低い電位の第二の電源電位信号との2種類であり、また、能力可変ドライバがもつ能力の種類数がドライブ能力と消費電力の双方共に大なる第一のドライブ能力と、ドライブ能力と消費電力の双方共に小なる第二のドライブ能力との2種類であり、さらには、電源電位信号と能力可変ドライバの能力との対応関係について高い電位の第一の電源電位信号にはドライブ能力と消費電力の双方共に小なる第二のドライブ能力が対応し、低い電位の第二の電源電位信号にはドライブ能力と消費電力の双方共に大なる第一のドライブ能力が対応していることを明示するものである。この関係は、上記第5の発明とは逆関係となっている。

【0044】なお、この第9の発明を他の発明から観察するとき、第9の発明のような限定をしていない他の発明においては、第9の発明とは逆の関係の場合、すなわち、電源電位信号と能力可変ドライバの能力との対応関係について、高い電位の第一の電源電位信号に対してドライブ能力と消費電力の双方共に大なる第一のドライブ能力が対応し、低い電位の第二の電源電位信号に対してドライブ能力と消費電力の双方共に小なる第二のドライブ能力が対応している場合も含み得るということを示唆している。

【0045】本願第10の発明の半導体集積回路は、電源電位に対応した電源電位信号を出力する電源電位測定回路と、前記電源電位信号に応じてドライブ能力を変更可能な能力可変ドライバとを備えている。

【0046】この第10の発明による作用は次のとおりである。すなわち、与えられた電源電位が分からない場合でも、電位を測定することができ、測定した電源電位が低くなったときでも、ドライブ能力を変更することにより、電源電位が低くなったことによる動作速度の低下を補償することができる。

【0047】本願第11の発明の半導体集積回路は、上記第10の発明において、前記能力可変ドライバは、少なくとも、ドライブ能力と消費電力の双方が共に大きな

10

20

30

40

50

第一のドライブ能力と、前記ドライブ能力と前記消費電力の双方が共に小さな第二のドライブ能力とを有しているものとして構成されている。

【0048】すなわち、このような限定をしない他の発明にあっては、第一のドライブ能力としてドライブ能力がで消費電力が小なる能力であるとともに、第二のドライブ能力としてドライブ能力が小で消費電力が大なる能力である場合も含み得るものであるが、この第11の発明は、能力可変ドライバがもつ少なくとも2状態の能力について、第一のドライブ能力はドライブ能力と消費電力の双方共に大なる能力であり、第二のドライブ能力はドライブ能力と消費電力の双方共に小なる能力であることを明示するものである。さらには、能力可変ドライバがもつ能力の種類数について、少なくとも2つであること、換言すれば、3以上の複数ある場合も含み得るということを明示するものである。

【0049】本願第12の発明の半導体集積回路は、上記第10・11の発明において、前記電源電位測定回路は、少なくとも、高い電位を示す第一の電源電位信号と、低い電位を示す第二の電源電位信号とを出力するものとして構成されている。これは、電源電位測定回路が出力する電源電位信号の種類数について、少なくとも2つであること、換言すれば、3以上の複数ある場合も含み得るということを明示するものである。

【0050】本願第13の発明の半導体集積回路は、上記第12の発明において、前記電源電位測定回路が前記第一の電源電位信号を出力しているとき、前記能力可変ドライバは前記第二のドライブ能力を使用し、前記電源電位測定回路が前記第二の電源電位信号を出力しているとき、前記能力可変ドライバは前記第一のドライブ能力を使用するものとして構成されている。

【0051】これは、電源電位測定回路が出力する電源電位信号の種類数が高い電位の第一の電源電位信号と低い電位の第二の電源電位信号との2種類であり、また、能力可変ドライバがもつ能力の種類数がドライブ能力と消費電力の双方共に大なる第一のドライブ能力と、ドライブ能力と消費電力の双方共に小なる第二のドライブ能力との2種類であり、さらには、電源電位信号と能力可変ドライバの能力との対応関係について高い電位の第一の電源電位信号にはドライブ能力と消費電力の双方共に小なる第二のドライブ能力が対応し、低い電位の第二の電源電位信号にはドライブ能力と消費電力の双方共に大なる第一のドライブ能力が対応していることを明示するものである。この関係は、上記第5の発明とは逆関係となっている。

【0052】なお、この第13の発明を他の発明から観察するとき、第13の発明のような限定をしていない他の発明においては、第13の発明とは逆の関係の場合、すなわち、電源電位信号と能力可変ドライバの能力との対応関係について、高い電位の第一の電源電位信号に対

してドライブ能力と消費電力の双方共に大なる第一のドライブ能力が対応し、低い電位の第二の電源電位信号に対してドライブ能力と消費電力の双方共に小なる第二のドライブ能力が対応している場合も含み得るということを示唆している。

【0053】

【発明の実施の形態】以下、本発明の半導体集積回路の実施の形態について、図面を参照しながら説明する。

【0054】（第一の実施の形態）図1は本発明の第一の実施の形態における半導体集積回路の構成図である。

【0055】図1において、100はクロックジェネレータ101とCPUコア102とメモリ103と周辺回路104とバス130とクロック信号線112～114と周波数信号線142～144とから構成される半導体集積回路である。

【0056】101はクロック信号線112～114へクロック信号を出力するクロックジェネレータであって、CPUコア102内のステートマシン120から出力される3ビットの動作モード信号121の信号に対応して、動作モード信号121の1ビット目が“0”のときは、クロック信号線112へ50MHzのクロック信号を出力するとともに、周波数信号線142に“0”を出力し、“1”のときは100MHzのクロック信号を出力するとともに、周波数信号線142に“1”を出力し、動作モード信号121の2ビット目が“0”のときは、クロック信号線113へ50MHzのクロック信号を出力するとともに、周波数信号線143に“0”を出力し、“1”のときは100MHzのクロック信号を出力するとともに、周波数信号線143に“1”を出力し、動作モード信号121の3ビット目が“0”のときは、クロック信号線114へ50MHzのクロック信号を出力するとともに、周波数信号線144に“0”を出力し、“1”のときは100MHzのクロック信号を出力するとともに、周波数信号線144に“1”を出力する。

【0057】102はCPUコアであって、クロック信号線112から供給されるクロック信号に同期して動作し、データの入出力はバス130を介して行なう。

【0058】103はメモリであって、クロック信号線113から供給されるクロック信号に同期して動作し、データの入出力はバス130を介して行なう。

【0059】104は周辺回路であって、クロック信号線114から供給されるクロック信号に同期して動作し、データの入出力はバス130を介して行なう。

【0060】120はステートマシンであって、CPUコア102の処理能力を向上させる必要がある期間のみ3ビットの動作モード信号121の1ビット目に“1”を出力し、それ以外の期間は“0”を出力し、メモリ103の処理能力を向上させる必要がある期間のみ3ビットの動作モード信号121の2ビット目に“1”を出力

し、それ以外の期間は“0”を出力し、周辺回路104の処理能力を向上させる必要がある期間のみ3ビットの動作モード信号121の3ビット目に“1”を出力し、それ以外の期間は“0”を出力する。

【0061】バス130は、バス幅32ビットのバスであって、CPUコア102とメモリ103と周辺回路104との間のデータの伝達を行なうことができるものである。

【0062】ドライバ群152は、CPUコア102の出力データをバス130に出力するための32ビットの能力可変ドライバから構成されており、各能力可変ドライバは、入力信号に対して、周波数信号線142が“1”のときはドライブ能力、消費電力共に大きな第一のドライブ能力についての正論理を出力し、“0”のときはドライブ能力、消費電力共に小さな第二のドライブ能力についての正論理を出力する。

【0063】ドライバ群153は、メモリ103の出力データをバス130に出力するための32ビットの能力可変ドライバから構成されており、各能力可変ドライバは、入力信号に対して、周波数信号線143が“1”のときはドライブ能力、消費電力共に大きな第一のドライブ能力についての正論理を出力し、“0”のときはドライブ能力、消費電力共に小さな第二のドライブ能力についての正論理を出力する。

【0064】ドライバ群154は、周辺回路104の出力データをバス130に出力するための32ビットの能力可変ドライバから構成されており、各能力可変ドライバは、入力信号に対して、周波数信号線144が“1”のときはドライブ能力、消費電力共に大きな第一のドライブ能力についての正論理を出力し、“0”のときはドライブ能力、消費電力共に小さな第二のドライブ能力についての正論理を出力する。

【0065】また、CPUコア102は、ドライバ群152を構成する能力可変ドライバが大きいドライブ能力、大きい消費電力の第一のドライブ能力で動作するとき100MHzで動作するように回路チューニングされており、50MHz動作時には、ドライバ群152を構成する能力可変ドライバが大きいドライブ能力、大きい消費電力の第一のドライブ能力で動作するときでも、ドライバ群152を構成する能力可変ドライバが小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するときでも、どちらでも動作するようになっている。

【0066】また、メモリ103は、ドライバ群153を構成する能力可変ドライバが大きいドライブ能力、大きい消費電力の第一のドライブ能力で動作するとき100MHzで動作するように回路チューニングされており、50MHz動作時には、ドライバ群153を構成する能力可変ドライバが大きいドライブ能力、大きい消費電力の第一のドライブ能力で動作するときでも、ドライ

バ群153を構成する能力可変ドライバが小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するときでも、どちらでも動作するようになっている。

【0067】また、周辺回路104は、ドライバ群154を構成する能力可変ドライバが大きいドライブ能力、大きい消費電力の第一のドライブ能力で動作するとき100MHzで動作するように回路チューニングされており、50MHz動作時には、ドライバ群154を構成する能力可変ドライバが大きいドライブ能力、大きい消費電力の第一のドライブ能力で動作するときでも、ドライバ群154を構成する能力可変ドライバが小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するときでも、どちらでも動作するようになっている。

【0068】ステートマシン120は、半導体集積回路100の外部からの信号、もしくは、CPUコア102、メモリ103、周辺回路104の動作状態に応じて、動作モード信号121の出力を変更するようになっている。

【0069】図2は図1中のドライバ群152～154を構成する能力可変ドライバの一例を示す回路図である。

【0070】図2において、211はインバータであって、入力端子202の信号を入力としてPチャンネルトランジスタ221、223とNチャンネルトランジスタ231、233のゲートに出力する。

【0071】212はインバータであって、制御信号端子201の信号を入力として、Pチャンネルトランジスタ222のゲートに出力する。

【0072】221はPチャンネルトランジスタであって、ソースが電源に、ゲートがインバータ211の出力に、ドレインが出力端子203にそれぞれ接続されている。

【0073】231はNチャンネルトランジスタであって、ソースがグラウンドに、ゲートがインバータ211の出力に、ドレインが出力端子203にそれぞれ接続されている。

【0074】222はPチャンネルトランジスタであって、ソースが電源に、ゲートがインバータ212の出力に、ドレインがPチャンネルトランジスタ223のソースにそれぞれ接続されている。

【0075】232はNチャンネルトランジスタであって、ソースがグラウンドに、ゲートが制御信号端子201に、ドレインがNチャンネルトランジスタ233のソースにそれぞれ接続されている。

【0076】223はPチャンネルトランジスタであって、ソースがPチャンネルトランジスタ222のドレインに、ゲートがインバータ211の出力に、ドレインが出力端子203にそれぞれ接続されている。

【0077】233はNチャンネルトランジスタであって、ソースがNチャンネルトランジスタ232のドレイン

ンに、ゲートがインバータ211の出力に、ドレインが出力端子203にそれぞれ接続されている。

【0078】以上のように構成された半導体集積回路100について、以下、図1、図2を用いて、その動作を説明する。

【0079】まず図2を用いて、図1中のドライバ群152～154を構成する能力可変ドライバの一例の回路の動作を説明する。

【0080】制御信号端子201に“0”が入力されているときの動作は、制御信号端子201が“0”であるため、Pチャンネルトランジスタ222とNチャンネルトランジスタ232がオフの状態になっており、シリアルに接続されているPチャンネルトランジスタ222、223、及びシリアルに接続されているNチャンネルトランジスタ232、233は、出力端子203にそれぞれ“1”、“0”を出力することができない。

【0081】従って、入力端子202から入力された信号は、インバータ211で反転された信号が、Pチャンネルトランジスタ221とNチャンネルトランジスタ231で構成されたインバータによって正論理に変換されて、出力端子203を駆動する。

【0082】このとき、出力端子203を駆動するトランジスタとしては、“1”を駆動するのは、Pチャンネルトランジスタ221単独であり、“0”を駆動するのは、Nチャンネルトランジスタ231単独である。

【0083】制御信号端子201に“1”が入力されているときの動作は、制御信号端子201が“1”であるため、Pチャンネルトランジスタ222とNチャンネルトランジスタ232がオンの状態になっており、あたかも、シリアルに接続されているPチャンネルトランジスタ222、223、及びシリアルに接続されているNチャンネルトランジスタ232、233は、インバータ211の出力を入力とし、出力端子203を出力とするインバータとして動作する。

【0084】従って、入力端子202から入力された信号は、インバータ211で反転された信号が、Pチャンネルトランジスタ221とNチャンネルトランジスタ231で構成されたインバータによって正論理に変換されて出力端子203を駆動するのと並列に、シリアルに接続されているPチャンネルトランジスタ222、223、及びシリアルに接続されているNチャンネルトランジスタ232、233によって正論理に変換されて、出力端子203を駆動する。

【0085】このとき、出力端子203を駆動するトランジスタとしては、“1”を駆動するのは、Pチャンネルトランジスタ221と、シリアルに接続されているPチャンネルトランジスタ222、223の双方であり、“0”を駆動するのは、Nチャンネルトランジスタ231と、シリアルに接続されているNチャンネルトランジスタ232、233の双方である。

【0086】つまり、この能力可変ドライバは、制御信号端子201が“0”のときには小さいドライブ能力、小さい消費電力の第二のドライブ能力で出力端子203を駆動するバッファとして動作し、制御信号端子201が“1”のときには大きいドライブ能力、大きい消費電力の第一のドライブ能力で出力端子203を駆動するバッファとして動作する。

【0087】消費電力の観点で考えると、制御信号端子201が“0”のときにはインバータ211の出力が“0”から“1”もしくは“1”から“0”に変化したときには、Pチャンネルトランジスタ221とNチャンネルトランジスタ231の経路にのみ貫通電流が流れるが、制御信号端子201が“1”のときにはインバータ211の出力が“0”から“1”もしくは“1”から“0”に変化したときには、Pチャンネルトランジスタ221とNチャンネルトランジスタ231に流れる貫通電流に加えて、シリアルに接続されているPチャンネルトランジスタ222、223、及びシリアルに接続されているNチャンネルトランジスタ232、233の経路にも貫通電流が流れることになる。

【0088】つまり、この能力可変ドライバは、制御信号端子201が“0”のときには小さい貫通電流(=小さい消費電力)で出力端子203を駆動するバッファとして動作し、制御信号端子201が“1”のときには大きい貫通電流(=大きい消費電力)で出力端子203を駆動するバッファとして動作する。

【0089】すなわち、図2に示す能力可変ドライバの一例として例示したドライバは、制御信号端子201が“0”のときには小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するバッファとして動作し、制御信号端子201が“1”のときには大きいドライブ能力、大きい消費電力の第一のドライブ能力で動作するバッファとして動作する。

【0090】ここで、制御信号端子201を、図1中の周波数信号線142～144に接続することで、100MHz動作の信号が出ているときには大きいドライブ能力、大きい消費電力の第一のドライブ能力で動作するバッファとして動作し、50MHzの信号が出ているときには小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するバッファとして動作する。

【0091】次に、図1を用いて本発明の第一の実施の形態における半導体集積回路100の動作について説明する。

【0092】まず、ステートマシン120が、半導体集積回路100の外部からの信号、もしくは、CPUコア102、メモリ103、周辺回路104の動作状態から、CPUコア102の処理能力を向上させる必要がある期間の状態のときの動作について説明する。

【0093】このときは、ステートマシン120から3ビットの動作モード信号121の1ビット目に“1”を



出力するため、クロックジェネレータ101は、クロック信号線112に100MHzのクロック信号を出力し、周波数信号線142に“1”を出力する。

【0094】従って、ドライバ群152を構成する能力可変ドライバは大きいドライブ能力、大きい消費電力の第一のドライブ能力で動作するバッファとして動作し、CPUコア102は100MHzで動作することになる。100MHzは第一の周波数信号に相当する。

【0095】次に、ステートマシン120が、半導体集積回路100の外部からの信号、もしくは、CPUコア102、メモリ103、周辺回路104の動作状態から、CPUコア102の処理能力を向上させる必要がない期間の状態のときの動作について説明する。

【0096】このときは、ステートマシン120から3ビットの動作モード信号121の1ビット目に“0”を出力するため、クロックジェネレータ101は、クロック信号線112に50MHzのクロック信号を出力し、周波数信号線142に“0”を出力する。50MHzは第二の周波数信号に相当する。

【0097】従って、CPUコア102は50MHzで動作することになり、100MHz動作する場合に比べて、たとえ周波数信号線142が“1”を出力していたとしても消費電力は1/2ですむことになる。

【0098】しかし実際には、周波数信号線142が“0”であることから、ドライバ群152は、図2で説明したように小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作しているため、単純にクロック信号を50MHzにしたことによってCPUコア102が1/2の消費電力で動作するよりも、さらに小さい消費電力で動作することになる。

【0099】メモリ103、周辺回路104に関して、CPU102のときと同様にして、ステートマシン120が、メモリ103、周辺回路104に関して処理能力を向上させる必要がある期間の状態と、処理能力を向上させる必要がない期間の状態とを比較すると、単純にクロック信号を50MHzにしたことによって1/2の消費電力で動作するよりも、さらに小さい消費電力で動作することができることが分かる。

【0100】すなわち、能力可変ドライバを備えているので、クロックジェネレータ100が出力するクロック周波数の変更に伴って変化する消費電力の変化割合をクロック周波数の変化割合以上のものに増幅することが可能となり、従来の技術に見られた消費電力削減の限界を越えて、さらなる消費電力削減を実現することが可能となる。

【0101】従って、本発明の第一の実施の形態の構成の半導体集積回路100を用いると、低い動作周波数でも動作できるブロックを、低い動作周波数で動作させた場合、高い動作周波数で動作させているときに比べて、単純に動作周波数を低くすることによって消費電力が減

少する割合以上に消費電力を削減することができる。なお、本第一の実施の形態では、能力可変ドライバは、バスへ出力する部分に使用した例を示しているが、これ以外の場所に配置しても構わない。

【0102】なお、本第一の実施の形態では、能力可変ドライバは、正論理を出力するバッファの例を示したが、これ以外の論理動作を行なうものであっても構わない。なお、本第一の実施の形態では、能力可変ドライバは、2種類のドライブ能力、消費電力を切替えて使う場合について説明したが、3種類以上であっても構わない。

【0103】なお、本第一の実施の形態では、クロック周波数として50MHzと100MHzの2種類の動作周波数を用いた場合の例を示したが、これ以外の周波数であっても構わないし、3種類以上の周波数であっても構わない。

【0104】なお、本第一の実施の形態では、クロックジェネレータ101とCPUコア102とメモリ103と周辺回路104とバス130とクロック信号線112～114と周波数信号線142～144とから構成される半導体集積回路について説明したが、これ以外の構成であっても構わない。

【0105】(第二の実施の形態)図3は本発明の第二の実施の形態における半導体集積回路の構成図である。図3において、300は電源電位設定回路301とCPUコア302とメモリ303と周辺回路304とバス330と電源配線312～314と電源電位信号線342～344とから構成される半導体集積回路である。

【0106】301は電源配線312～314へ電源電位を供給する電源電位設定回路であって、CPUコア302内のステートマシン320から出力される3ビットの動作モード信号321の信号に対応して、動作モード信号321の1ビット目が“0”のときは、電源配線312へ2.5Vの電源電位を出力するとともに、電源電位信号線342に“1”を出力し、“1”のときは電源配線312へ3.3Vの電源電位を出力するとともに、電源電位信号線342に“0”を出力し、動作モード信号321の2ビット目が“0”のときは、電源配線313へ2.5Vの電源電位を出力するとともに、電源電位信号線343に“1”を出力し、“1”のときは、電源配線313へ3.3Vの電源電位を出力するとともに、電源電位信号線343に“0”を出力し、動作モード信号321の3ビット目が“0”のときは電源配線314へ2.5Vの電源電位を出力するとともに、電源電位信号線344に“1”を出力し、“1”のときは電源配線314へ3.3Vの電源電位を出力するとともに、電源電位信号線344に“0”を出力する。

【0107】302はCPUコアであって、電源配線312から供給される電源電位で動作し、データの入出力はバス330を介して行なう。

【0108】303はメモリであって、電源配線313から供給される電源電位で動作し、データの入出力はバス330を介して行なう。

【0109】304は周辺回路であって、電源配線314から供給される電源電位で動作し、データの入出力はバス330を介して行なう。

【0110】320はステートマシンであって、CPUコア302の電源電位を増加させる必要がある期間のみ3ビットの動作モード信号321の1ビット目に“1”を出力し、それ以外の期間は“0”を出力し、メモリ303の電源電位を増加させる必要がある期間のみ3ビットの動作モード信号321の2ビット目に“1”を出力し、それ以外の期間は“0”を出力し、周辺回路304の電源電位を増加させる必要がある期間のみ3ビットの動作モード信号321の3ビット目に“1”を出力し、それ以外の期間は“0”を出力する。

【0111】バス330は、バス幅32ビットのバスであって、CPUコア302とメモリ303と周辺回路304との間のデータの伝達を行なうことができるものである。

【0112】ドライバ群352は、CPUコア302の出力データをバス330に出力するための32ビットの能力可変ドライバから構成されており、各能力可変ドライバは、入力信号に対して、電源電位信号線342が“1”のときはドライブ能力、消費電力共に大きな第一のドライブ能力についての正論理を出力し、“0”のときはドライブ能力、消費電力共に小さな第二のドライブ能力についての正論理を出力する。

【0113】ドライバ群353は、メモリ303の出力データをバス330に出力するための32ビットの能力可変ドライバから構成されており、各能力可変ドライバは、入力信号に対して、電源電位信号線343が“1”のときはドライブ能力、消費電力共に大きな第一のドライブ能力についての正論理を出力し、“0”のときはドライブ能力、消費電力共に小さな第二のドライブ能力についての正論理を出力する。

【0114】ドライバ群354は、周辺回路304の出力データをバス330に出力するための32ビットの能力可変ドライバから構成されており、各能力可変ドライバは、入力信号に対して、電源電位信号線344が“1”のときはドライブ能力、消費電力共に大きな第一のドライブ能力についての正論理を出力し、“0”のときはドライブ能力、消費電力共に小さな第二のドライブ能力についての正論理を出力する。

【0115】また、CPUコア302は、ドライバ群352を構成する能力可変ドライバが小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するときに電源電位3.3Vで100MHz動作するように回路チューニングされたCPUコアであって、ドライバが小さいドライブ能力、小さい消費電力の第二のドライブ

能力で動作するときに電源電位2.5Vで動作させた場合に75MHzで動作するCPUコアである。このことの詳細については、後述する。

【0116】また、メモリ303は、ドライバ群353を構成する能力可変ドライバが小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するときに電源電位3.3Vで100MHz動作するように回路チューニングされたメモリであって、ドライバが小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するときに電源電位2.5Vで動作させた場合に75MHzで動作するCPUコアである。

【0117】また、周辺回路304は、ドライバ群354を構成する能力可変ドライバが小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するときに電源電位3.3Vで100MHz動作するように回路チューニングされた周辺回路であって、ドライバが小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するときに電源電位2.5Vで動作させた場合に75MHzで動作する周辺回路である。

【0118】ステートマシン320は、半導体集積回路300の外部からの信号、もしくは、CPUコア302、メモリ303、周辺回路304の動作状態に応じて、動作モード信号321の出力を変更するようになっている。ドライバ群352～354を構成する能力可変ドライバは、その回路構成が図2で示される能力可変ドライバと同様のものとなっている。その構成は第一の実施の形態で述べたので説明を省略する。

【0119】以下、図2に示す能力可変ドライバの電源電位を3.3Vと2.5Vとにした場合の動作について説明する。

【0120】電源電位が3.3Vのときと2.5Vのときで、その論理的な動作は同じであるが、3.3Vに比べて2.5Vのときは、電源電位が低下することに伴って、能力可変ドライバを構成するトランジスタのドレイン電流量が低下し、その結果、動作速度が低下するという現象が起こる。

【0121】しかしながら、この可変ドライバは、電源電位を2.5Vに下げたとしても、制御信号端子201を“1”にすることによってPチャンネルトランジスタ222、223、Nチャンネルトランジスタ232、233も並列して出力端子203を駆動できるようになるため、制御信号端子201が“0”で電源電位が3.3Vのときの動作速度よりも、動作速度を向上することができる。

【0122】つまり、電源電位が3.3Vから2.5Vに低下することによる動作速度の低下を、制御信号端子201を“0”から“1”に変更することによって、動作速度の補償をし、電源電位の低下による動作速度以上の動作速度を実現することができるものであることが分かる。

【0123】ここで、制御信号端子201を、図3中の電源電位信号線342～344に接続することで、3.3Vの電源電位が供給されているときには小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するバッファとして動作し、2.5Vの電源電位が供給されているときには大きいドライブ能力、大きい消費電力の第一のドライブ能力で動作するバッファとして動作する。この関係は、第一の実施の形態とは逆になっている。

【0124】次に、図3を用いて本発明の第二の実施の形態における半導体集積回路300の動作について説明する。

【0125】まず、ステートマシン320が、半導体集積回路300の外部からの信号、もしくは、CPUコア302、メモリ303、周辺回路304の動作状態から、CPUコア302の電源電位を増加させる必要がある期間の状態のときの動作について説明する。

【0126】このときは、ステートマシン320から3ビットの動作モード信号321の1ビット目に“1”を出力するため、電源電位設定回路301は、電源配線312に3.3Vの電源電位を供給し、電源電位信号線342に“0”を出力する。従って、ドライバ群352を構成する能力可変ドライバは小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するバッファとして動作し、CPUコア302は100MHzで動作することになる。

【0127】次に、ステートマシン320が、半導体集積回路300の外部からの信号、もしくは、CPUコア302、メモリ303、周辺回路304の動作状態から、CPUコア302の電源電位を増加させる必要がない期間の状態のときの動作について説明する。

【0128】このときは、ステートマシン320から3ビットの動作モード信号321の1ビット目に“0”を出力するため、電源電位設定回路301は、電源配線312に2.5Vの電源電位を供給し、電源電位信号線342に“1”を出力する。従って、ドライバ群352を構成する能力可変ドライバは大きいドライブ能力、大きい消費電力の第一のドライブ能力で動作するバッファとして動作し、CPUコア302は75MHz以上の動作速度、ここでは例えば90MHzで動作することになり、電源電位信号線342が“0”を出力したまま電源電位を3.3Vから2.5Vに低下させたことによる動作速度の劣化(ここでは100MHzが75MHz)に比べて、動作速度の劣化を補償(ここでは75MHzを90MHz)することができる。

【0129】メモリ303、周辺回路304に関しても、CPU302のときと同様にして、ステートマシン320が、メモリ303、周辺回路304に関して電源電位を増加させる必要がある期間の状態と、電源電位を増加させる必要がない期間の状態とを比較すると、電源

電位信号線343、344が“0”を出力したまま電源電位を3.3Vから2.5Vに低下させたことによる動作速度の劣化(ここでは100MHzが75MHz)に比べて、動作速度の劣化を補償(ここでは75MHzを90MHz)することができる。

【0130】すなわち、能力可変ドライバを備えているので、電源電位設定回路301が出力する電源電位の変更に伴って変化する動作周波数の変化割合を電源電位の変化割合以下のものに抑制することが可能となり、従来の技術に見られた動作周波数確保の限界を越えて、さらなる高い動作周波数確保を実現することが可能となる。

【0131】従って、本発明の第二の実施の形態の構成の半導体集積回路300を用いると、電源電位を低くすることによる動作速度の劣化を、単純に電源電位を低くすることによる動作速度の劣化を補償することができる。

【0132】なお、本発明の第二の実施の形態では、能力可変ドライバは、電源電位の低下による動作速度の劣化を補償しても電源電位を低下する前の動作速度よりも遅くなる範囲での補償の例を示しているが、電源電位を低下する前の動作速度と同じになるように補償しても構わないし、逆に動作速度を速くするようにしても構わない。

【0133】なお、本発明の第二の実施の形態では、CPUコア302、メモリ303、周辺回路304が電源電位の低下による動作速度の劣化を補償しても電源電位を低下する前の動作速度よりも遅くなる範囲での補償の例を示しているが、電源電位を低下する前の動作速度と同じになるように補償しても構わないし、逆に動作速度を速くするようにしても構わない。

【0134】なお、本第二の実施の形態では、能力可変ドライバは、バスへ出力する部分に使用した例を示しているが、これ以外の場所に配置しても構わない。

【0135】なお、本第二の実施の形態では、能力可変ドライバは、正論理を出力するバッファの例を示したが、これ以外の論理動作を行なうものであっても構わない。

【0136】なお、本第二の実施の形態では、能力可変ドライバは、2種類のドライブ能力、消費電力を切替えて使う場合について説明したが、3種類以上であっても構わない。

【0137】なお、本第二の実施の形態では、電源電位として3.3Vと2.5Vの2種類の電位を用いた場合の例を示したが、これ以外の電位であっても構わないし、3種類以上の電位であっても構わない。

【0138】なお、本第二の実施の形態では、電源電位設定回路301とCPUコア302とメモリ303と周辺回路304とバス330と電源配線312～314と電源電位信号線342～344とから構成される半導体集積回路について説明したが、これ以外の構成であって

も構わない。

【0139】（第三の実施の形態）図4は本発明の第三の実施の形態における半導体集積回路の構成図である。

【0140】図4において、400は電源電位測定回路401とCPUコア402とメモリ403と周辺回路404とバス430と電源電位信号線442～444とリセット信号端子461とリファレンス電源端子462とから構成される半導体集積回路である。

【0141】401はCPUコア402、メモリ403、周辺回路404にそれぞれ供給されている電源電位を測定する電源電位測定回路であって、リセット信号端子461から負論理のパルス信号であるリセット信号が入力されると、CPUコア402に供給されている電源電位が2.5Vであれば電源電位信号線442に“1”を出力し、電源電位が3.3Vであれば“0”を出力し、メモリ403に供給されている電源電位が2.5Vであれば電源電位信号線443に“1”を出力し、電源電位が3.3Vであれば“0”を出力し、周辺回路404に供給されている電源電位が2.5Vであれば電源電位信号線444に“1”を出力し、電源電位が3.3Vであれば“0”を出力する。

【0142】402はCPUコアであって、電源電位が2.5Vか3.3Vかのいずれかの電位に設定することができ、データの入出力はバス430を介して行なう。

【0143】403はメモリであって、電源電位が2.5Vか3.3Vかのいずれかの電位に設定することができ、データの入出力はバス430を介して行なう。

【0144】404は周辺回路であって、電源電位が2.5Vか3.3Vかのいずれかの電位に設定することができ、データの入出力はバス430を介して行なう。

【0145】ドライバ群452は、CPUコア402の出力データをバス430に出力するための32ビットの能力可変ドライバから構成されており、各能力可変ドライバは、入力信号に対して、電源電位信号線442が“1”のときはドライブ能力、消費電力共に大きな第一のドライブ能力についての正論理を出力し、“0”のときはドライブ能力、消費電力共に小さな第二のドライブ能力についての正論理を出力する。

【0146】ドライバ群453は、メモリ403の出力データをバス430に出力するための32ビットの能力可変ドライバから構成されており、各能力可変ドライバは、入力信号に対して、電源電位信号線443が“1”のときはドライブ能力、消費電力共に大きな第一のドライブ能力についての正論理を出力し、“0”のときはドライブ能力、消費電力共に小さな第二のドライブ能力についての正論理を出力する。

【0147】ドライバ群454は、周辺回路404の出力データをバス430に出力するための32ビットの能力可変ドライバから構成されており、各能力可変ドライバは、入力信号に対して、電源電位信号線444が

“1”のときはドライブ能力、消費電力共に大きな第一のドライブ能力についての正論理を出力し、“0”のときはドライブ能力、消費電力共に小さな第二のドライブ能力についての正論理を出力する。

【0148】また、CPUコア402は、ドライバ群452を構成する能力可変ドライバが、小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するときに電源電位3.3Vで100MHz動作するように回路チューニングされたCPUコアであって、ドライバが、小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するときに電源電位2.5Vで動作させた場合に75MHzで動作するCPUコアである。

【0149】また、メモリ403は、ドライバ群453を構成する能力可変ドライバが、小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するときに電源電位3.3Vで100MHz動作するように回路チューニングされたメモリであって、ドライバが、小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するときに電源電位2.5Vで動作させた場合に75MHzで動作するCPUコアである。

【0150】また、周辺回路404は、ドライバ群454を構成する能力可変ドライバが、小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するときに電源電位3.3Vで100MHz動作するように回路チューニングされた周辺回路であって、ドライバが、小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するときに電源電位2.5Vで動作させた場合に75MHzで動作する周辺回路である。

【0151】ドライバ群452～454を構成する能力可変ドライバは、その回路構成が図2で示される能力可変ドライバと同様のものとなっている。その構成は第一の実施の形態で述べたので説明を省略する。

【0152】電源電位を3.3Vと2.5Vとにした場合の動作については第二の実施の形態で述べているので、ここでは説明を省略する。

【0153】図5は、図4中の電源電位測定回路を構成する電源電位測定レジスタの一例を示す回路図である。

【0154】図5において、500は、インバータ561、562、メモリセル570、Pチャンネルトランジスタ541、Nチャンネルトランジスタ551、遅延素子571、評価信号端子501、出力端子502、VIN503から構成された電源電位測定レジスタである。

【0155】561はインバータであって、評価信号端子501を入力として、Nチャンネルトランジスタ551のゲートに出力する。

【0156】Pチャンネルトランジスタ511、512、Nチャンネルトランジスタ521、522、531、532は、6トランジスタ構成のSRAMメモリセルで、一般に用いられている構成のメモリセル570を形成している。

【0157】このメモリセル570は、電源電位が3.3V時に、Nチャンネルトランジスタ531のソースを反ビット線、VIN503をビット線、Nチャンネルトランジスタ531、532のゲートに接続するワード線504をワード線として機能するメモリセルであって、VIN503の電位が3.3V以上のときに、ワード線に書き込み信号が入力されたら“1”を書き込むように、Pチャンネルトランジスタ511、512、Nチャンネルトランジスタ521、522、531、532のトランジスタサイズをチューニングしているものである。

【0158】メモリセル570に書き込まれている数値は、インバータ562を介して反転論理が出力端子502から出力される。

【0159】Pチャンネルトランジスタ541、Nチャンネルトランジスタ551は、電源電位が2.5V以上であれば、評価信号端子501が“0”になると、メモリセル570に強制的に“0”を書き込むように、トランジスタサイズをチューニングしているものである。

【0160】571は評価信号端子501の信号を一定時間(メモリセル570に強制的に“0”を書き込む時間以上の時間)ずらせてワード線504に出力する遅延素子である。

【0161】また、図4中の電源電位測定回路401は、図5で説明した電源電位測定レジスタ500を3つ(以下、reg1、reg2、reg3)備えた回路であって、リセット信号端子461の信号がreg1、reg2、reg3の評価信号端子501にそれぞれ接続し、reg1のVIN503はCPUコア402の電源に、reg2はメモリ403の電源に、reg3は周辺回路404の電源に接続する。

【0162】さらに、reg1の出力が電源電位信号線442に、reg2の出力が電源電位信号線443に、reg3の出力が電源電位信号線443にそれぞれ接続されている。

【0163】また、図4中のリファレンス電源端子462は、電源電位測定回路401のreg1、reg2、reg3の電源に接続されており、リファレンス電源端子462によってreg1、reg2、reg3の電源電位を与える構成になっている。

【0164】以上のように構成された半導体集積回路400について、以下、図4、図5を用いてその動作を説明する。

【0165】まず図5を用いて、図4中の電源電位測定回路401を構成する電源電位測定レジスタの動作について説明する。

【0166】電源電位測定回路401におけるメモリセル570は、Nチャンネルトランジスタ531のソースを反ビット線、ワード線504をワード線として機能するメモリセルであって、VIN503の電位とNチャ

ネルトランジスタ531のソースの電位が3.3V以上になると、“1”を書き込むことができるメモリセルである。

【0167】ここで、Nチャンネルトランジスタ531のソースの電位は常にグラウンドレベルに固定されているため、リセットをかけて評価信号端子501に負論理のパルス信号を入力すると、メモリセル570に強制的に“0”が書き込まれた後に、遅延素子571を介してワード線504が開かれて、VIN503の電位が3.3V以上であれば、“1”を書き込むが、3.3V未満であれば“0”のまま保持されるという動作をするので、VIN503の電位が3.3V以上であれば、インバータ562の次段の出力端子502からは“0”が出力され、VIN503の電位が3.3V未満であれば出力端子502からは“1”が出力されるという動作をする。

【0168】次に、図4を用いて本発明の第三の実施の形態における半導体集積回路400の動作について説明する。

【0169】まずリファレンス電源端子462に3.3Vの電位を供給して、電源電位測定回路401を構成するreg1、reg2、reg3の電源電位を3.3Vに設定しておく。

【0170】この状態でリセット信号端子461に負論理のパルス信号が入力されると、電源電位測定回路401が、CPUコア402、メモリ403、周辺回路404の電源電位を3.3Vと比較する動作を開始する。

【0171】CPUコア402、メモリ403、周辺回路404の電源電位は、3.3Vか2.5Vかのいずれかの電位であるため、CPUコア402の電源電位が3.3Vであれば、電源電位信号線442に“0”、2.5Vであれば“1”が出力され、メモリ403の電源電位が3.3Vであれば、電源電位信号線443に“0”が出力され、2.5Vであれば“1”が出力され、周辺回路404の電源電位が3.3Vであれば、電源電位信号線444に“0”が出力され、2.5Vであれば“1”が出力される。

【0172】まずCPUコア402の電源電位が3.3Vであるときの動作について説明すると、このときは、電源電位信号線442が“0”なので、ドライバ群452を構成する能力可変ドライバは小さいドライブ能力、小さい消費電力の第二のドライブ能力で動作するバッファとして動作し、CPUコア302は100MHzで動作することになる。

【0173】次に、CPUコア402の電源電位が2.5Vであるときの動作を考えると、電源電位信号線442が“1”なので、ドライバ群452を構成する能力可変ドライバは大きいドライブ能力、大きい消費電力の第一のドライブ能力で動作するバッファとして動作し、CPUコア402は75MHz以上の動作速度、ここでは例えば90MHzで動作することになり、電源電位信号

線 442 が “0” を出力したまま電源電位を 3.3V から 2.5V に低下させたことによる動作速度の劣化(ここでは 100MHz が 75MHz)に比べて、動作速度の劣化を補償(ここでは 75MHz を 90MHz)することができる。

【0174】メモリ 403、周辺回路 404 に関しても、CPU 402 のときと同様にして、電源電位信号線 343、344 が “0” を出力したまま電源電位を 3.3V から 2.5V に低下させたことによる動作速度の劣化(ここでは 100MHz が 75MHz)に比べて、動作速度の劣化を補償(ここでは 75MHz を 90MHz)することができる。

【0175】すなわち、能力可変ドライバを備えているので、電源電位の変更に伴って変化する動作周波数の変化割合を電源電位の変化割合以下のものに抑制することが可能となり、従来の技術に見られた動作周波数確保の限界を越えて、さらなる高い動作周波数確保を実現することが可能となる。

【0176】従って、本発明の第三の実施の形態の構成の半導体集積回路 400 を用いると、電源電位を低くすることによる動作速度の劣化を、単純に電源電位を低くすることによる動作速度の劣化を補償することができる。

【0177】なお、本発明の第三の実施の形態では、能力可変ドライバは、電源電位の低下による動作速度の劣化を補償しても電源電位を低下する前の動作速度よりも遅くなる範囲での補償の例を示しているが、電源電位を低下する前の動作速度と同じになるように補償しても構わないし、逆に動作速度を速くするようにしても構わない。

【0178】なお、本発明の第三の実施の形態では、CPU コア 402、メモリ 403、周辺回路 404 が電源電位の低下による動作速度の劣化を補償しても電源電位を低下する前の動作速度よりも遅くなる範囲での補償の例を示しているが、電源電位を低下する前の動作速度と同じになるように補償しても構わないし、逆に動作速度を速くするようにしても構わない。

【0179】なお、本発明の第三の実施の形態では、電源電位測定レジスタについて図 5 で説明した構成の回路について説明したが、これ以外の構成の回路であっても構わない。

【0180】なお、本発明の第三の実施の形態では、電源電位測定回路が、電源電位測定レジスタを 3 つ使用して構成された例を示したが、これ以外の構成の回路であっても構わない。

【0181】なお、本第三の実施の形態では、能力可変ドライバは、バスへ出力する部分に使用した例を示しているが、これ以外の場所に配置しても構わない。

【0182】なお、本第三の実施の形態では、能力可変ドライバは、正論理を出力するバッファの例を示した

が、これ以外の論理動作を行なうものであっても構わない。

【0183】なお、本第三の実施の形態では、能力可変ドライバは、2 種類のドライブ能力、消費電力を切替えて使う場合について説明したが、3 種類以上であっても構わない。

【0184】なお、本第三の実施の形態では、電源電位として 3.3V と 2.5V の 2 種類の電位を用いた場合の例を示したが、これ以外の電位であっても構わないし、3 種類以上の電位であっても構わない。

【0185】なお、本第三の実施の形態では、リファレンス電源端子に 3.3V、リセット信号端子に負論理のパルスを入力することで電源電位の判定を行なう構成の例を示したが、これ以外の構成、例えば、リファレンス電源端子、リセット信号端子を用いず、半導体集積回路内部で閉じて電源電位の判定を行なう構成であっても構わない。

【0186】なお、本第三の実施の形態では、電源電位測定回路 401 と CPU コア 402 とメモリ 403 と周辺回路 404 とバス 430 と電源電位信号線 442 ~ 444 とリセット信号端子 461 とリファレンス電源端子 462 とから構成される半導体集積回路について説明したが、これ以外の構成であっても構わない。

【0187】

【発明の効果】以上のように本発明の半導体集積回路は、クロック周波数の段階に対応した周波数信号を出力するクロックジェネレータと、前記周波数信号に応じてドライブ能力を変更可能な能力可変ドライバとを備えた構成によって、クロックジェネレータが出力するクロック周波数の変更に伴って変化する消費電力の変化割合をクロック周波数の変化割合以上のものに増幅することが可能となり、従来の技術に見られた消費電力削減の限界を越えて、さらなる消費電力削減を実現することができる。

【0188】また、本発明の半導体集積回路は、複数の電源電位を出力し、前記複数の電源電位に対応する電源電位信号を出力する電源電位設定回路と、前記電源電位信号に応じてドライブ能力を変更可能な能力可変ドライバとを備えた構成によって、電源電位設定回路が出力する電源電位の変更に伴って変化する動作周波数の変化割合を電源電位の変化割合以下のものに抑制することが可能となり、従来の技術に見られた動作周波数確保の限界を越えて、さらなる高い動作周波数確保を実現することが可能となる。すなわち、電源電位を低くした場合でも、動作速度を満たすようにドライブ能力の切替えで対応することができるため、電源電位を低くすることによる動作速度の低下補償することができる。

【0189】また、本発明の半導体集積回路は、電源電位に対応した電源電位信号を出力する電源電位測定回路と、前記電源電位信号に応じてドライブ能力を変更可能

な能力可変ドライバとを備えた構成によって、与えられた電源電位が分からない場合でも、電位を測定することができ、測定した電源電位が低くなったときでも、ドライブ能力を変更することにより、電源電位が低くなったことによる動作速度の低下を補償することができる。

【図面の簡単な説明】

【図1】本発明の第一の実施の形態における半導体集積回路の構成図である。

【図2】同実施の形態における図1中のドライバ群を構成する能力可変ドライバの一例を示す回路図である。

【図3】本発明の第二の実施の形態における半導体集積回路の構成図である。

【図4】本発明の第三の実施の形態における半導体集積回路の構成図である。

【図5】同実施の形態における図4中の電源電位測定回路を構成する電源電位測定レジスタの一例を示す回路図である。

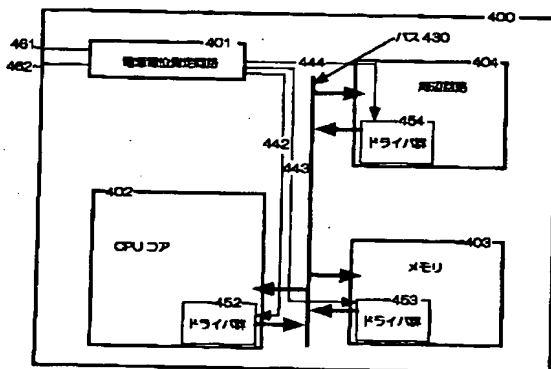
【図6】従来例1の半導体集積回路の構成図である。

【図7】従来例2の半導体集積回路の構成図である。

【符号の説明】

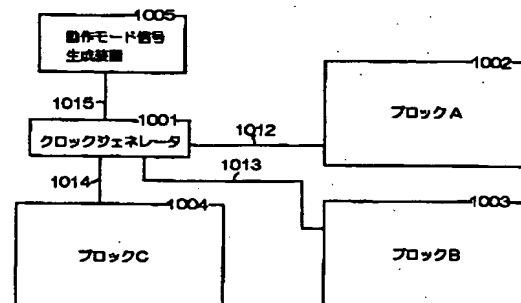
100 半導体集積回路  
101 クロックジェネレータ  
102 CPUコア  
103 メモリ  
104 周辺回路  
112～114 クロック信号線  
120 ステートマシン  
121 動作モード信号  
130 バス  
142～144 周波数信号線  
152～154 ドライバ群  
201 制御信号端子  
202 入力端子  
203 出力端子  
211, 212 インバータ  
221～223 Pチャンネルトランジスタ

【図4】

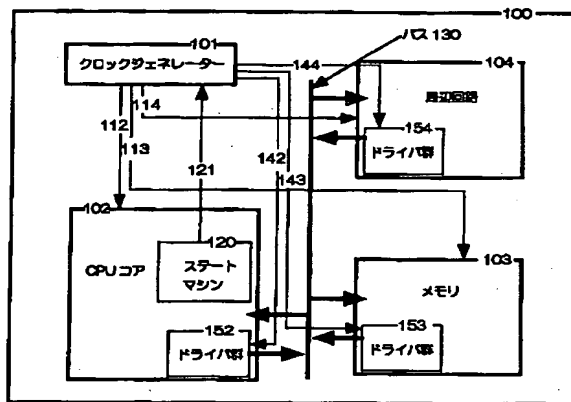


231～233 Nチャンネルトランジスタ  
300 半導体集積回路  
301 電源電位設定回路  
302 CPUコア  
303 メモリ  
304 周辺回路  
312～314 電源配線  
320 ステートマシン  
321 動作モード信号  
330 バス  
342～344 電源電位信号線  
352～354 ドライバ群  
400 半導体集積回路  
401 電源電位測定回路  
402 CPUコア  
403 メモリ  
404 周辺回路  
430 バス  
442～444 電源電位信号線  
452～454 ドライバ群  
461 リセット信号端子  
462 リファレンス電源端子  
500 電源電位測定レジスタ  
501 評価信号端子  
502 出力端子  
503 VIN  
504 ワード線  
511, 512 Pチャンネルトランジスタ  
521, 522 Nチャンネルトランジスタ  
531, 532 Nチャンネルトランジスタ  
541 Pチャンネルトランジスタ  
551 Nチャンネルトランジスタ  
561, 562 インバータ  
570 メモリセル  
571 遅延素子

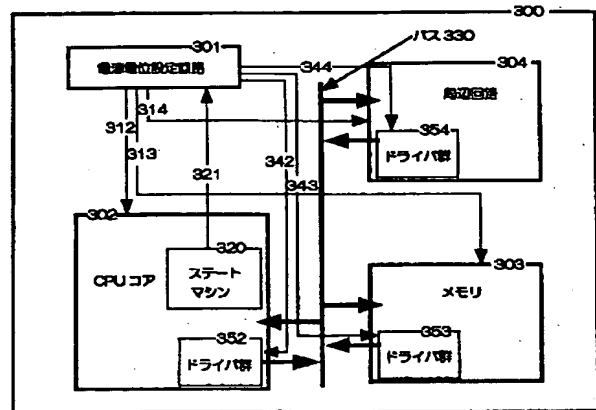
【図6】



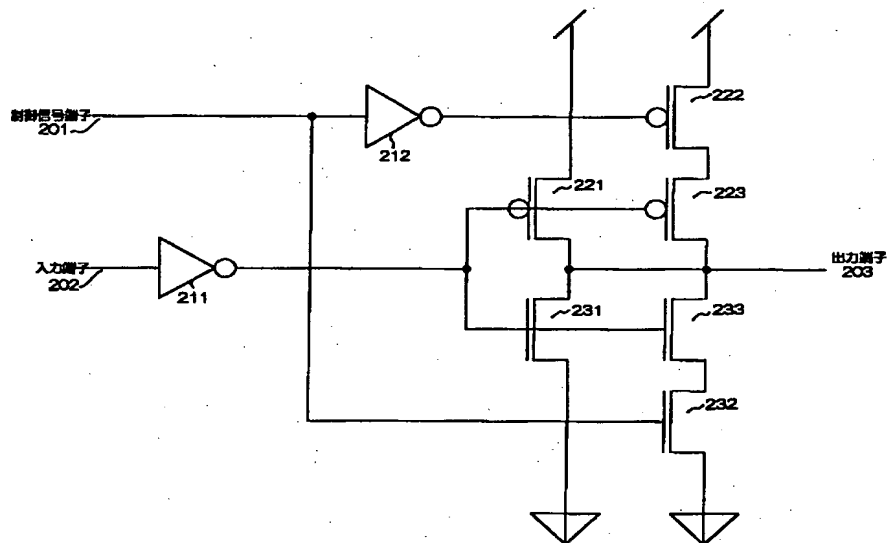
【図 1】



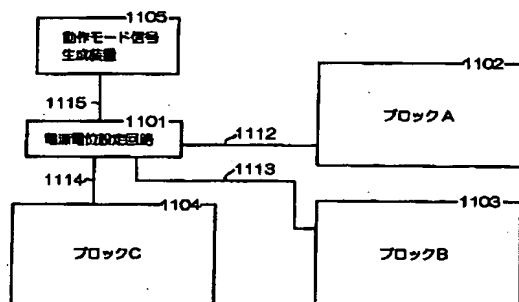
【図 3】



【図 2】

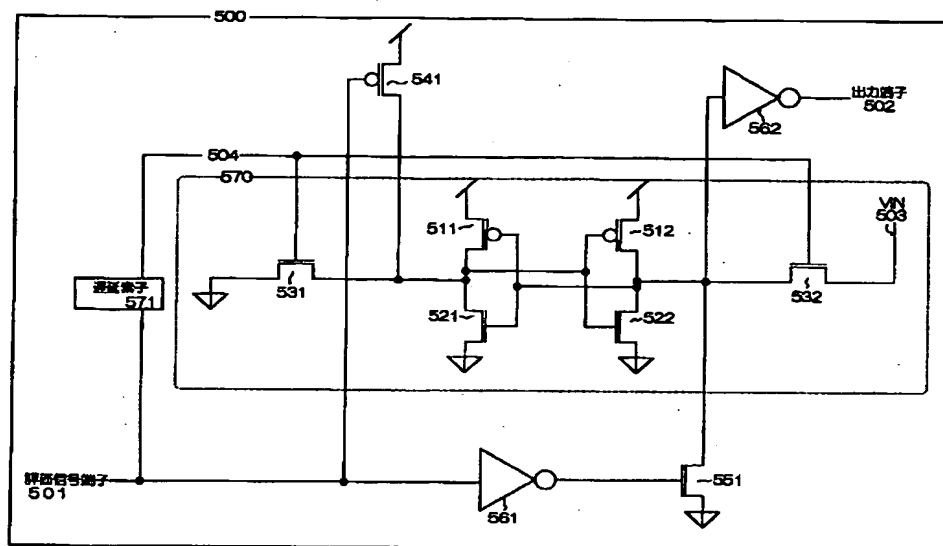


【図 7】





【図 5】



フロントページの続き

テーマコード (参考)

F

F

Fターム(参考)

5B011	EA09	LL11	LL13				
5B062	AA05	HH02	HH06				
5B079	BA04	BC01	DD08				
5J055	AX08	AX27	AX54	AX64	BX16		
	CX24	CX27	DX12	DX56	DX72		
	DX83	EX07	EX21	EY21	EZ00		
	EZ07	EZ29	EZ39	EZ50	FX12		
	FX17	FX35	GX01				
5J056	AA05	BB12	BB18	BB40	CC00		
	CC03	CC05	DD12	DD28	EE03		
	EE11	FF01	FF07	FF08	GG14		